

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08181216 A**

(43) Date of publication of application: **12.07.96**

(51) Int. Cl.

**H01L 21/82**  
**G06F 17/50**  
**H01L 27/04**  
**H01L 21/822**

(21) Application number: **06324893**

(22) Date of filing: **27.12.94**

(71) Applicant: **NEC CORP**

(72) Inventor: **KUROSAWA SUSUMU**

(54) **LIBRARY GROUP AND SEMICONDUCTOR  
INTEGRATED CIRCUIT USING LIBRARY GROUP**

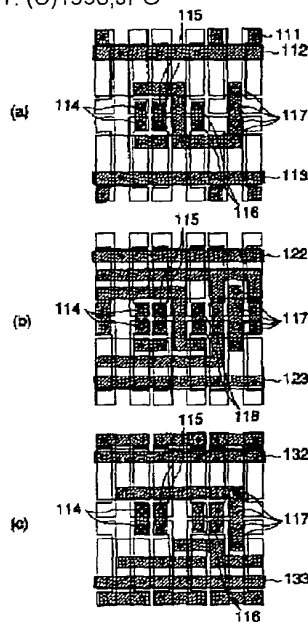
having logic gates with different load drive capacity can be acquired.

(57) Abstract:

COPYRIGHT: (C)1996,JPO

**PURPOSE:** To conduct optimum selection regarding load drive capacity by preparing a logic gate constituted by using basic cells, in which logical functions, size and the places of input-output terminals are equalized and which has different load drive capacity.

**CONSTITUTION:** A three input NAND gate is changed into a library, and composed of a power-supply line wiring 112, a ground conductor wiring 113, input-terminal places 114, 115, 116 and an output-terminal place 117 (a). The three input NAND gate, in which an inverter circuit is connected to the output side, is changed into the library, and two transistors are connected in parallel for improving the load drive capacity of the inverter circuit at a final step (b). A power-supply line wiring 122 and a grounding conductor wiring 123 are used at that time. Two transistors are connected in parallel for enhancing the load capacity of three input NAND gate itself (c). A power-supply line wiring 132 and a ground conductor wiring 133 are employed at that time. Accordingly, a library group



(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2912174号

(45)発行日 平成11年(1999) 6月28日

(24)登録日 平成11年(1999) 4月 9 日

(51)Int.Cl.<sup>5</sup>

識別記号

F I

H 0 1 L 27/118  
21/82  
21/822  
27/04

H 0 1 L 21/82  
27/04  
21/82

M  
A  
S

請求項の数4 (全 8 頁)

(21)出願番号 特願平6-324893

(22)出願日 平成 6 年(1994)12月27日

(65)公開番号 特開平8-181216

(43)公開日 平成 8 年(1996) 7月12日

審査請求日 平成 6 年(1994)12月27日

審判番号 平9-13895

審判請求日 平成 9 年(1997) 8月14日

(73)特許権者 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 黒澤 晋

東京都港区芝五丁目 7 番 1 号 日本電気  
株式会社内

(74)代理人 弁理士 京本 直樹

合議体

審判長 小林 邦雄

審判官 左村 義弘

審判官 河口 雅英

(56)参考文献 特開 平 5 - 315448 (J P, A)

特開 平 6 - 326590 (J P, A)

特開 平 4 - 343522 (J P, A)

特開 平 6 - 268069 (J P, A)

特開 昭60-57643 (J P, A)

(54)【発明の名称】 ライブラリ群及びそれを用いた半導体集積回路

1

(57)【特許請求の範囲】

【請求項 1】 単一の基本セルを複数用いて構成し、論理機能とサイズと入出力端子位置が同一であって、異なる負荷駆動能力を持つ機能ブロックを有することを特徴とするライブラリ群。

【請求項 2】 論理機能を受け持つ部分と負荷駆動機能を受け持つ部分とを、独立にかつ同一の基本セルを用いて構成したことを特徴とする請求項 1 記載のライブラリ群。

【請求項 3】 前記基本セルとして、SOI 構造で形成された MOSFET の基体領域に電位を与えるための拡散層領域を有し、前記負荷駆動機能を受け持つ部分に、SOI 構造で形成されるラテラル型バイポーラ素子、あるいはハイブリッド・モード素子を用いていることを特徴とする請求項 2 記載のライブラリ群。

2

【請求項 4】 請求項 1 ～ 3 のいずれかに記載のライブラリ群を用いて構成されたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は論理ゲートや機能ブロックのライブラリ群及びそれを用いて構成した半導体集積回路に関し、特に高速動作と低消費電力を両立させた論理ゲートや機能ブロックのライブラリ群及びそれを用いて構成した半導体集積回路に関する。

【0002】

【従来の技術】 半導体集積回路（以下 LSI と呼ぶ）の論理回路は、インバータ、NAND ゲート、NOR ゲート等の論理ゲートや、フリップフロップ回路等のように数ゲートから数十ゲート規模の論理的にまとまりのある

の低下を防ぐために負荷駆動能力を大きくしなければならず、一方で初期見積もりより小さい場合には消費電力を削減するために負荷駆動能力を小さくしなければならない。即ち、配置配線設計終了後に実際の設計結果を使って負荷を詳細に見積もり、初期見積もりより大きい場合には動作速度の低下を防ぐために負荷駆動能力を大きくしなければならず、初期見積もりより小さい場合には消費電力を削減するために動作速度を大きく低下させない程度に負荷駆動能力を小さくすることが要求される。

【0015】そのためには論理機能が同一で負荷駆動能力の異なる複数の論理ゲートや機能ブロックのライブラリ群を用意しておいて、適当なもの置き換えることになる。しかし従来のそれらはサイズや入出力端子位置が異なるために、配置配線設計をやり直すことになるので非常に多くの設計時間を要することになる。場合によっては、やり直し作業後に別の個所で同様な変更を余儀なくされることがあり、設計が収束する保証がない。

【0016】また、従来技術3で負荷駆動能力を大きくすることは、出力ブロックをパワーゲートで構成することに相当するので、出力ブロックの論理機能が複雑な場合には面積的な効率が大きく低下してしまうという欠点がある。

【0017】それ故に本発明の課題は、高速動作と低消費電力と高集積度を両立させ、配置配線設計のやり直しや修正を伴わずに負荷駆動能力に関して最適な選択が行なえるような、論理ゲートや機能ブロックのライブラリ群を提供することである。

【0018】

【課題を解決するための手段】本発明によれば、単一の基本セルを複数用いて構成し、論理機能とサイズと入出力端子位置が同一であって、異なる負荷駆動能力を持つ論理ゲートを有することを特徴とするライブラリ群が得られる。

【0019】また本発明によれば、単一の基本セルを複数用いて構成し、論理機能とサイズと入出力端子位置が同一であって、異なる負荷駆動能力を持つ機能ブロックを有することを特徴とするライブラリ群が得られる。

【0020】また本発明によれば、単一の基本セルを複数用いて構成し、論理機能とサイズと入出力端子位置が同一であって、異なる負荷駆動能力を持つ論理ゲート及び機能ブロックを有することを特徴とするライブラリ群が得られる。

【0021】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0022】図1(a)、(b)、(c)は本発明の第1の実施例を説明するためのレイアウト図であり、図2に示す基本セルを3つ用いて、図3(a)、(b)、(c)に示した回路をライブラリ化した例を示している。なお図3(a)は本発明の第1の実施例を説明する

ための回路図であり、3入力NANDゲートを例として、論理機能を受け持つ部分と負荷駆動機能を受け持つ部分を分離する手法を示している。図3(b)は負荷駆動機能のためにバッファ回路を追加する手法を適用した場合であり、図3(c)はバッファ回路として2段のインバータ回路を用いた例を示している。

【0023】図1(a)、(b)、(c)において、細かいハッチングを付したパターンは第1層のメタル配線を、小さい四角111はコンタクトを示す。図2において丸印103はソース及びドレイン拡散層領域のコンタクト可能位置を表わしており、この例では3個である。この基本セルは2つのPチャネル型基本トランジスタを上側に配置し、2つのNチャネル型基本トランジスタを下側に配置してあり、101はフィールドのパターン、102はゲート電極のパターンである。

【0024】図1(a)は、図3(a)の回路をライブラリ化したレイアウト図であり、112は電源線配線、113は接地線配線、114、115、116は入力端子位置、117は出力端子位置である。図1(b)は、図3(c)の回路をライブラリ化したレイアウト図で、最終段のインバータ回路だけを負荷駆動能力を高めるために2つのトランジスタを並列接続して構成してあり、122は電源線配線、123は接地線配線、114、115、116は入力端子位置、117は出力端子位置である。図1(c)は、図3(a)の回路において3入力NANDゲート自体の負荷駆動能力を高めるために2つのトランジスタを並列接続して構成した場合（一般にパワー・ゲートと呼ばれている）のレイアウト図で、132は電源線配線、133は接地線配線、114、115、116は入力端子位置、117は出力端子位置である。

【0025】図3に示したライブラリは、明らかに論理機能とサイズと入出力端子位置が同一であって、異なる負荷駆動能力を持っている。(a)を基準に考えると、異なる負荷駆動能力を持たせるために、(b)は論理機能を受け持つ部分と負荷駆動機能を受け持つ部分とを独立に構成させて実現した例であり、(c)は両機能部分を分離させないで実現させた例である。もちろん、

(a)では6つのトランジスタが使用されずに無駄を生じるが、実際の論理LSIの集積度はこれら個々のライブラリでの集積度で決まっているわけではない。それらを相互接続するために非常に多くの配線チャンネルが必要となるので、個々のライブラリの配置には多少の程度の余裕が必要なのが現状である。その結果、個々のライブラリにおけるこれらの無駄が論理LSIのチップ面積の増大に結びつくことはほとんど無い。

【0026】図4(a)は本発明の第1の実施例を説明するための第2の回路図であり、スタチック・ラッチ回路を例として、異なる負荷駆動能力を実現する手法を示している。ここでCとCIはトランスファー・ゲートに

デド・アレイにおいては、このSOI構造ならではの特  
徴は極めて大きな利点である。

【0034】図9に、図7(b)に示したバッファ回路  
のレイアウト図を示す。負荷駆動能力を高めるために2  
つのトランジスタを並列接続してあり、抵抗素子を省略  
すれば1つの基本セルで構成することができる。

【0035】図10は本発明の第2の実施例を説明する  
ためのレイアウト図であり、図9のバッファ回路を、図  
4(c)のスタチック・ラッチ回路に適用した例であ  
る。このレイアウト図で、細かいハッチングを施したパ  
ターンは第1層のメタル配線を、荒いハッチングを施し  
たパターンは第2層のメタル配線を、小さい四角111  
はコンタクトを、一回り大きい四角141は第1層のメ  
タル配線と第2層のメタル配線を接続するスルーホール  
を示す。232は電源線配線、233は接地線配線、1  
44は入力端子位置、145は出力端子位置、146は  
C信号入力端子位置、147はCI信号入力端子位置で  
ある。明らかに論理機能とサイズと入出力端子位置が、  
図5に示したライブラリと同一である。

【0036】一例として、図3に示したライブラリを  
0.35 $\mu$ m CMOS技術を用いて形成した場合の遅延  
時間を図12に示す。電源電圧は2.5V、負荷はファ  
ンアウトが3と配線であり、図12の横軸は負荷の配線  
長である。①は基本トランジスタのチャネル幅を10 $\mu$   
mで構成した場合の図3(a)の回路の特性である。②  
は基本トランジスタのチャネル幅を5 $\mu$ mで構成した場  
合の図3(a)の回路の特性である。配線負荷が小さい  
場合は①と比較して遅延時間の増加は小さく、一方で基  
本トランジスタのチャネル幅は半分なので消費電力を半  
分に削減することができる。③は基本トランジスタのチ  
ャネル幅を5 $\mu$ mで構成した場合の図3(c)の回路の  
特性である。①と比較して、配線負荷が大きい場合に遜  
色ない遅延時間が得られ、自分自身の消費電力は同程度  
であるが、入力容量が半分になるために前段の消費電力  
を削減することができる。④は図3(a)の回路を基本  
トランジスタのチャネル幅を5 $\mu$ mで構成し、図3  
(a)の回路をパワーゲートで構成した場合の特性であ  
る。この場合には、遅延時間と消費電力はほぼ①と同じ  
になる。

【0037】

【発明の効果】以上説明したように、本発明によるライ  
ブラリ群は、論理機能が同一で負荷駆動能力の異なる複  
数の論理ゲートや機能ブロックを有するので、目的に応  
じて適切なものに置き換えるだけでそれらの目的を実現  
することができる。しかも本発明のライブラリ群は、サ  
イズと入出力端子位置が同一であるので、配置配線設計  
のやり直しや修正が一切必要がなく、他の部分に影響を  
及ぼす心配も全くない。一般に大規模な論理LSIで  
は、ゲートアレイの場合で配置配線設計とその検証作業  
に高性能のEWSを用いても数日かかるため、この効果

は非常に大きい。さらに本発明のライブラリ群は、チャ  
ネル幅の小さい基本トランジスタによる基本セルを用い  
ているにも関わらず、適切なものを使い分けることによ  
って、チャネル幅の大きい基本トランジスタによる基本  
セルを用いたものと遜色のない動作速度を実現すること  
ができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するためのレイ  
アウト図。

10 【図2】基本セルを説明するためのレイアウト図。

【図3】本発明の第1の実施例を説明するための回路  
図。

【図4】本発明の第1の実施例を説明するための第2の  
回路図。

【図5】本発明の第1の実施例を説明するための第2の  
レイアウト図。

【図6】SOI技術を用いたMOSFETの模式的な断  
面図。

20 【図7】本発明の第2の実施例を説明するための回路  
図。

【図8】本発明の第2の実施例の基本セルを説明するた  
めのレイアウト図。

【図9】本発明の第2の実施例を説明するためのレイ  
アウト図。

【図10】本発明の第2の実施例を説明するためのレイ  
アウト図。

【図11】本発明のライブラリの特性図。

【図12】従来技術2を説明するための回路図とレイ  
アウト図。

30 【図13】従来技術3を説明するための回路図。

【符号の説明】

101, 221 フィールドのパターン

102, 222 ゲート電極のパターン

103 ソース及びドレイン拡散層領域のコンタクト  
可能位置

111 コンタクト

112, 122, 132 電源線配線

113, 123, 133 接地線配線

114, 115, 116 入力端子位置

40 117 出力端子位置

141 スルーホール

142, 152, 162, 232 電源線配線

143, 153, 163, 233 接地線配線

144 入力端子位置

145 出力端子位置

146 C信号入力端子位置

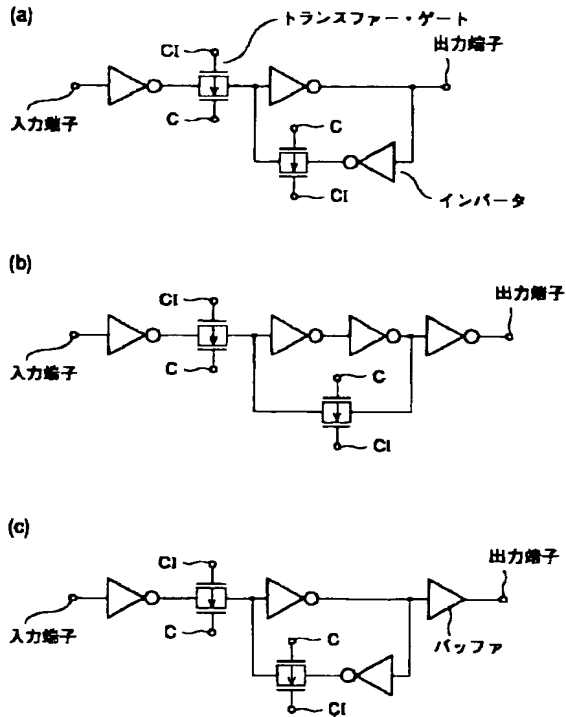
147 CI信号入力端子位置

201 Si基板

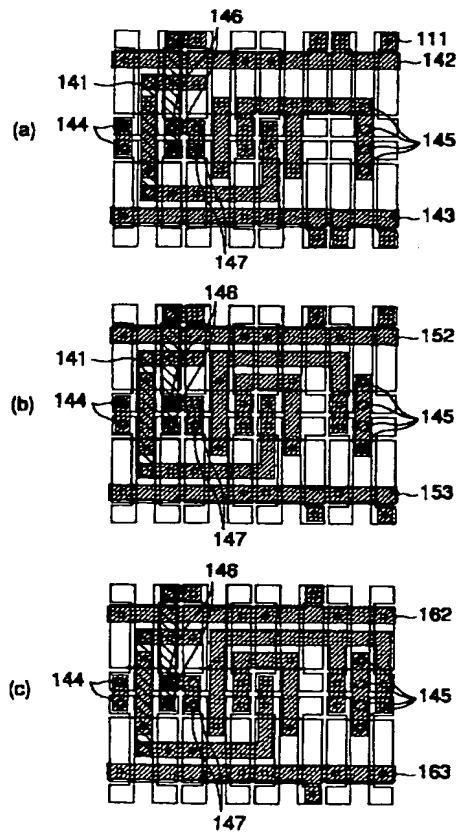
202, 208 絶縁膜

50 203 P型基体領域

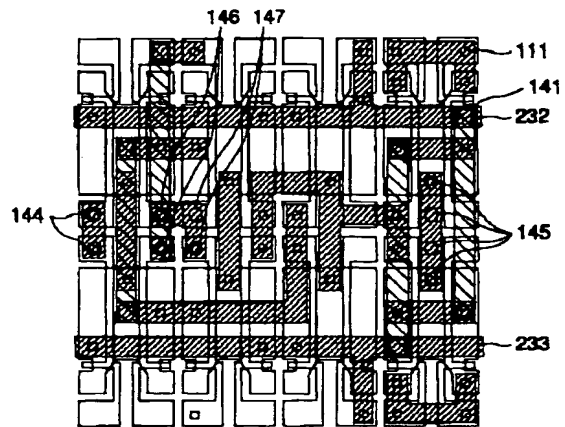
【図 4】



【図 5】



【図 10】



【図 11】

ゲート遅延時間 (nsec)

